

# Développement de méthodes numériques et de caractérisations expérimentales pour l'étude des contraintes mécaniques et défaillances induites dans les dispositifs microélectroniques avancés

## Proposition de thèse Cifre

- Entreprise: **STMicroelectronics**
- Laboratoire: **Simap Grenoble INP**

## Mots clés

Mécanique, thermomécanique et rupture - Simulation par éléments finis - Capteurs de contraintes embarqués - Caractérisations mécaniques et microstructurales – Dépôts couches minces - Flexion 4 points – DCB – Interconnexions -Structures d'arrêt de fissures ('*Seal Ring*' ou '*Crack Stop*')

## Résumé

Durant l'assemblage des produits de la microélectronique, des problèmes de compatibilités Puce-Boitier sont couramment observés lors des étapes d'assemblage ou de tests de fiabilité. C'est ainsi, que la fiabilité mécanique des nouveaux composants devient un réel challenge. De précédents travaux ont déjà été réalisés en interne sur ces problématiques, cependant de nombreux points restent à être améliorer et étudier.

Cette thèse se propose de définir et développer des méthodes pour prévenir et prédire ces défaillances mécaniques. Plus précisément, une partie expérimentale et numérique seront proposées. Expérimentalement, l'utilisation et l'amélioration de diverses méthodes telles des structures de détection de fissure, mesure de la résistance à la rupture de structure complexe et l'utilisation de capteurs de contraintes in-situ devront permettre de répondre à la problématique. D'un point de vue numérique, des modèles éléments finis seront construits pour permettre une compréhension plus fine des phénomènes induits et corrélés avec les résultats expérimentaux. L'objectif final est d'être capable de déterminer le risque de fissuration d'un produit donné et prédire sa durée de vie.

Cette thèse CIFRE se déroulera en collaboration avec STMicroelectronics et le laboratoire du SIMAP-Grenoble INP.

## Contexte

Poursuivant les lois de 'Moore' et 'More than Moore', les produits de la microélectronique tendent vers une densité d'intégration toujours plus forte [1]. C'est ainsi que de nouveaux matériaux et architectures sont constamment développés pour la mise sur le marché de produits innovants. La fiabilité mécanique de ces nouveaux composants est devenue un des points clés à maîtriser [2-3]. Les interactions Puce/Boitier sont notamment connues pour leur criticité [4-5-6]. Pour tester la fiabilité des assemblages, des outils et des méthodologies sont d'ores et déjà utilisés industriellement [7-8]. Ainsi, pour garantir leur bonne tenue mécanique durant la période d'utilisation, les boitiers sont soumis à des tests sévères, par exemple des cyclages thermiques, mises sous atmosphères humides, résistance aux chocs, etc... Ces essais, normés (JEDEC [9]) sont néanmoins pénalisants en termes de moyens et requièrent un temps de cycle important, peu compatible avec un marché à forte concurrence et évoluant rapidement.

Au cours des dernières années, de par leurs avantages, les capteurs de contraintes ont connu un fort développement [10-11-12-13]. En effet, ils permettent une mesure rapide en ligne, in-situ et non destructive des états de contraintes dans une puce, répondant en cela aux besoins des développeurs. Néanmoins, certains points tels que la sensibilité, variabilité [14] ou champ d'application [15] requièrent encore beaucoup

d'attention. De plus, ils ne sont pas adaptés pour les analyses de fiabilité visant à localiser une fissure à l'échelle d'une puce.

Ce sujet de thèse propose donc de développer des méthodes de caractérisation mécanique permettant d'une part, d'étudier la tenue à la rupture des niveaux d'interconnexions au plus tôt dans les étapes d'assemblages et d'autre part, de mesurer in-situ les contraintes mécaniques et leurs influences, à l'échelle locale. A travers ces deux items, l'objectif est de définir des outils complémentaires, voire substitutifs aux essais classiques pour évaluer la fiabilité mécanique des interconnexions. Cela permettra de valider le plus tôt possible les modifications et la sélection des matériaux et des structures... Ces travaux se feront via un volet expérimental mais aussi numérique pour asseoir l'approche, valider et développer les modèles et permettre ainsi une meilleure compréhension et maîtrise des mécanismes.

### **Descriptif, organisation des travaux de recherche et plan de travail préliminaire**

Ce sujet de thèse porte sur le développement de méthode de caractérisation mécanique, de mesure in-situ du niveau de contrainte à l'échelle des niveaux d'interconnexions, et d'évaluation de la tenue à la rupture de ces structures. Conjointement, des méthodologies et modèles numériques seront développés pour valider les résultats expérimentaux et approfondir le niveau de compréhension et de connaissance. Le contexte est principalement lié aux problèmes de fiabilité mécanique dans les niveaux d'interconnexions engendrés par les interactions entre la puce et son environnement.

Ce sujet de thèse en contrat Cifre, en collaboration entre STMicroelectronics et le laboratoire SIMAP-Grenoble INP, permettra une mutualisation de l'expertise et des moyens des deux parties. En effet, de précédents travaux ont été réalisés en interne dans cette thématique. Plus précisément, des capteurs de contraintes basés sur la piezo-résistivité ont été implémentés et testés dans différents véhicule de tests. Les résultats sont encourageants et prometteurs [16], cependant la phase de développement doit être poursuivie. De plus, des tests en flexion quatre points sont en cours pour élaborer une méthodologie permettant de caractériser la tenue à la rupture de structures d'interconnexions. Néanmoins, de nombreux verrous restent à lever.

Tout d'abord, en l'état actuel, les capteurs piezorésistifs montrent une sensibilité trop faible pour permettre la mesure des contraintes in-situ au cours du dépôt des couches d'interconnexions [15]. Une voie possible d'investigation serait d'amincir la plaquette pour permettre une relaxation des contraintes vers la partie active du silicium. Le travail consisterait alors à définir une méthodologie pour permettre cette caractérisation (amincissement minimum nécessaire, préparation d'échantillon...), et en maîtriser les biais éventuels.

Ensuite, les capteurs de contraintes sont utilisés actuellement uniquement pour mesurer la contrainte d'une structure et /ou introduite par une étape de fabrication. Néanmoins, extrapoler les résultats extraits pour déterminer la durée de vie d'une puce serait un avantage compétitif majeur. Par exemple, nous envisageons une mesure de l'évolution de la contrainte dans un boîtier pendant un nombre donné de cycles thermiques, puis de prédire une durée de vie moyenne pour différentes configurations. Pour parvenir à cet objectif ambitieux, de nombreux aspects restent à être étudiés et résolus : vérification de la sensibilité des capteurs sur un cycle thermique, étude des mécanismes de fatigue menant à la défaillance, loi d'extrapolation pour établir une durée de vie, etc.

Enfin, la question du seuil de rupture et des critères numériques de défaillance reste un point délicat à ces échelles submicronique où les effets de confinements jouent un rôle important. Pour pouvoir répondre à cette problématique, une complémentarité des méthodes est nécessaire : détection de fissure, caractérisation fine de chaque matériau, initiation/propagation de fissure de manière contrôlée et répétable. Cette thèse permettra un meilleur degré de maturité sur ces points, d'étendre le champ d'application et l'utilisation des capteurs de contrainte et ainsi de développer l'expertise dans le domaine de la rupture pour des structures complexes.

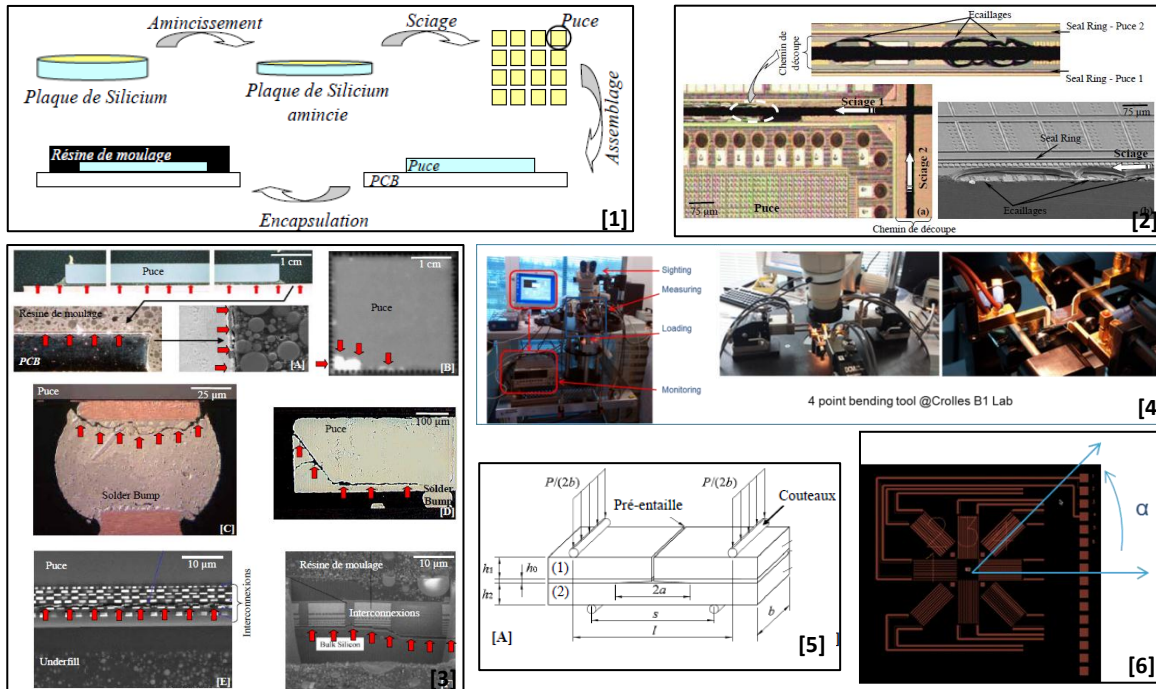
Pour mener à bien ces travaux, plusieurs thématiques seront abordées : les procédés de fabrication et d'assemblage de composants microélectronique, la sensibilité aux contraintes mécaniques des performances électriques au niveau du circuit, la fiabilité des composants. Les multiples exigences liées aux outils de mesure (test, implémentation, sensibilité...) ainsi qu'aux procédés d'assemblage (accessibilité, variabilité...) devront aussi être prises en compte. Plus précisément, le plan de travail préliminaire se déroulera comme suit :

- WT1- Etat de l'art :
  - Etude bibliographique externe : Technologies de fabrications des produits de la microélectronique, Front-End, Back-End, procédés d'assemblages, d'amincissement et de mise en boîtier, contraintes thermomécaniques et dépôt de films minces, interactions puce/boîtier, outils d'analyse de défaillances, fiabilité, modélisation par éléments finis, mécanique de la rupture (modèles cohésifs et énergétiques), capteurs de contraintes piezo résistifs, méthode de caractérisation des contraintes mécaniques in-situ, d'adhésion et tenue à la rupture d'une structure (notamment flexion quatre points et Dual Cantilever Beam [13]).
  - Etude bibliographique interne : Synthèse des résultats des travaux déjà obtenus par STMicroelectronics et le laboratoire SIMAP (Thèse de B. Vianne [14] sur le composant dit 'Interposer', K. Ewuame [16] sur les capteurs de contraintes, travaux de S. Lioni [15] sur les imageurs, travaux et autres projets internes en cours sur le Seal Ring via la méthode de Flexion Quatre points). Les limites et avantages des différents systèmes de capteur seront soulignés, chacun possédant ses caractéristiques en termes de sensibilité, variabilité et encombrement. Un soin particulier devra être ainsi apporté pour s'appuyer sur l'expertise déjà acquise et permettre une valorisation des travaux antérieurs.
  
- WT2 – Outils de détection de fissure et caractérisation à la tenue à la rupture :  
Une réflexion sur la détection d'une fissure dans une structure donnée ainsi que sur les moyens de la créer et propager sera conduite. Ces deux items étant fortement liés, ils devront être étudiés simultanément :
  - Caractérisation de la tenue à la rupture :
    - Réflexion sur la méthode la plus adaptée pour créer et propager de manière contrôlée et répétable une fissure dans les niveaux d'interconnexions. Les méthodes de flexion quatre points et de Dual Cantilever Beam [17] ainsi que la préparation d'échantillon seront ainsi évaluées et améliorées si nécessaire.
    - Elaboration de structures de test permettant de valider l'approche, borner sa sensibilité et ses limites. Les caractéristiques dimensionnelles, le nombre de motifs de la structure ainsi que les variables à mesurer feront partie des points à étudier. Typiquement, des structures types 'Seal Ring'/'Via tilling' pourront être évaluées dans ce cadre.
  - Détection de fissure dans une structure :
    - Mise au point du banc de flexion quatre points/DCB, disponible sur le site de STMicroelectronics à Crolles, pour permettre la détection de la rupture dans une structure: mesure électrique continue en fonction d'une contrainte appliquée
    - Amélioration de la localisation de la fissure : un multiplexeur sera intégré dans les structures de tests ou puce complète, permettant d'augmenter significativement le nombre de signaux disponibles et donc d'implémenter plusieurs détecteurs de fissure. Il en ressortira une détection plus fine de la

- rupture et une occupation optimisée de la surface sur silicium. Typiquement, une détection systématique des fissures sous bump lors de cyclages thermiques sera mise en place.
- Dans l'objectif de compléter ces résultats, une caractérisation mécanique poussée des matériaux utilisés et de leurs adhésions sera réalisée. Nanoindentation, Flexion quatre points seront les méthodes utilisées prioritairement.
  - Simulation par Eléments Finis : Une corrélation avec les résultats expérimentaux permettra d'une part, de définir la meilleure approche (étude en contraintes exclusivement vs. Double critère (contrainte et énergétique) par exemple) pour ce type de problématique et d'autre part, d'évaluer des valeurs seuils de rupture pour un empilement/configuration donné.
- WT3 – Mesure in-situ de structures implémentées dans les interconnexions :
- WT3.1 : Focus sur le Process BEoL
    - Capteurs de contraintes : Développement d'une méthodologie permettant l'évaluation des contraintes engendrées lors de dépôts des couches d'interconnexions. Etude de l'amincissement nécessaire pour un report des contraintes sur la partie active et/ou utilisation d'une poignée temporaire
    - Etude de sensibilité de dispositifs complexes au niveau du circuit : Utilisation du banc de flexion pour la mesure électrique de dispositifs connus pour leur sensibilité aux contraintes (Band Gap, Ring Oscillator, Mémoire par exemple)
  - WT3.2 : Focus sur les étapes d'assemblage
    - Mesures électriques sur les capteurs embarqués, et exploitation pour l'évaluation des champs de contraintes aux échelles globales du substrat et locales de la puce. Une étape préliminaire de calibration permettra la détermination des propriétés piézo-résistive de ces capteurs.
      - Un focus particulier sera mis sur les mesures en boîtier avec assemblage de type *Flip-Chip* lors de cycles thermiques. Ainsi, l'évolution des contraintes pourra être mesurée in-situ à intervalles réguliers de cycles thermiques. Une corrélation avec les défaillances détectées à ces mêmes cycles ou ultérieurs sera réalisée. Dans l'objectif de mieux appréhender les phénomènes de fatigue, les paramètres clés menant à la défaillance seront identifiés. Ainsi, l'évolution des propriétés mécaniques des différents matériaux (underfill, résine de moulage, bump...) lors des cycles thermiques sera étudiée.
    - Simulation par Eléments Finis : une corrélation avec l'expérimentation sera réalisée. La première étape sera de comparer les deux approches. Les ordres de grandeur et les tendances de chacune seront discutés. Une fois assimilé, l'objectif sera de fournir en avance de phase la sensibilité aux contraintes et les risques liés à un nouveau produit.

De nombreux challenges scientifiques (capteurs de contraintes, fiabilité, mécanique de la rupture) et technologiques (intégration des capteurs, méthodes expérimentales) restent à relever. Une méthodologie expérimentale et numérique approfondie sera mise en œuvre. Ainsi, cette thèse fournira les outils pour permettre de mesurer in-situ l'évolution des contraintes et de détecter des défaillances lors des étapes de fabrication ou de cycles thermiques. Une base de compréhension sur les phénomènes de fatigue engendrant les défaillances à l'échelle du boîtier sera aussi disponible. Enfin, une méthode permettant de caractériser la tenue à la rupture d'une structure à l'échelle des niveaux des interconnexions sera établie.

Contact : Envoyer CV, lettre de motivation et relevés de note à : [vincent.fiori@st.com](mailto:vincent.fiori@st.com); [eric.sabouret@st.com](mailto:eric.sabouret@st.com); [Sebastien.gallois-garreignot@st.com](mailto:Sebastien.gallois-garreignot@st.com); [Rafael.Estevez@simap.grenoble-inp.fr](mailto:Rafael.Estevez@simap.grenoble-inp.fr)



**Fig 1:** Exemple des étapes d'assemblage typique vu par une puce – **Fig 2 :** Exemple de défauts engendrés lors d'un sciage d'un wafer pouvant se propager à l'intérieur de la puce ultérieurement - **Fig.3 :** Exemples de différents types de défaillance mécanique observés suite aux interactions Puce/Boîtier - **Fig.4 :** Vues d'ensemble du banc de mesure sous flexion quatre points disponible sur le site de ST - **Fig.5 :** Schéma de la méthode de flexion quatre points – **Fig. 6 :** Exemple d'un design de capteur de contrainte

## Références

1. Pizzagalli et Al., 3D Technology Applications Market Trends & Key Challenges , ASMC 2014.
2. Ming-Dou Ker, Jeng-Jie Peng, "Fully Process Compatible Layout Design on Bond Pad to Improve Wire Bond Reliability in CMOS ICs", IEEE Transactions on Electron Devices, vol. 25,no. 2, pp. 309-316, 2002.
3. M.J. McCracken, Hyoung Joon Kim, M. Mayer, J. Persic, June Sub Hwang, Jeong-Tak Moon, "Assessing Au-Al wire bond reliability using integrated stress sensors", in 12th IEEE Intersociety Conference on Thermal and Thermo-mechanical Phenomena in ElectronicSystems, 2010, pp. 1-9.
4. van Driel W., Facing the challenges of designing for Cu/low-k reliability, Microelectronics Reliability, 2007, vol. 47, p.1969–1974
5. Mercado L., Sarihan V., Evaluation of Die Edge Cracking in Flip- Chip PBGA Packages, IEEE Transactions on Components and Packaging Technologies, 2003, vol. 26, n°4, pp. 719-723
6. Yang L., Bernstein J., Reliability Study of High-Density EBGA Packages Using the Cu Metallized Silicon, IEEE Transaction on Components and Packaging Technologies, 2008, vol. 31, n°3
7. Pecht MG et al. In-situ measurements of surface mount IC package deformations during reflow soldering. IEEE Trans Compon, Pack, Manuf Technol—Part C 1997;20(3).
8. Yu J, Anand A, Mui YC. Reliability study on copper pillar bumping with lead free solder. In: 9th Electronics packaging technology conference; 2007. p. 618–22.
9. JEDEC website: [www.jedec.org/](http://www.jedec.org/)

10. P. Kulha, A. Boura, M. Husak, Design and Fabrication of Piezoresistive Strain-Gauges for Harsh Environment Applications, International Conference on Renewable Energies and Power Quality (ICREPQ), 2010.
11. E. K. Akdogan, M. Allahverdi, A. Safari, Piezoelectric composites for sensor and actuator applications, IEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control, vol.52, n°5, pp. 746-775, 2005.
12. A. Kumar, Z. Xiaowu, X. Z. Qing, C. J. Ming, H. Guanbo, L. W. S. Vincent, V. Kripesh, C. Lee, J. H. Lau, L. K. Dim, V. Sundaram, R. R. Tummula, G. Meyer-Berg, Residual Stress Analysis in Thin Device Wafer Using Piezoresistive Stress Sensor, IEEE Transactions on Components Packaging and Manufacturing Technology, vol.1, n°6, pp. 841-851, 2011.
13. Z. Xiaowu, A. Kumar, Q. Zhanga, Y. Onga, S. Hoa, C. Khonga, V. Kripesh, J. Laua, D.-L. Kwonga, V. Sundaramb, R. R. Tummula, G. Meyer-Berg, Application of Piezoresistive Stress Sensors in Ultra Thin Device Handling and Characterization, Sensors and Actuators A156, pp. 2-7, 2009.
14. B. Vianne, P. Bar, V. Fiori, S. Gallois-Garreignot, K. A. Ewuame, P., Chausse, S. Escoubas, N. Hotellier, O. Thomas, Thermo-mechanical Characterization of Passive Stress Sensors in Si Interposer, 15<sup>th</sup> international conference on Thermal, Mechanical and Multi-physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE), pp. 1-8, 2014.
15. S. Lionti, Mémoire de fin d'étude CNAM, Etude des capteurs piezorésistifs embarqués sur la technologie IMG140 BSI, 2014
16. K-A Ewuame, V.Fiori, K.Inal, P-O Bouchard, S.Gallois, S.Lionti, C.Tavernier, H. Jaouen, CMOS Stress sensor for 3D Integrated circuits: thermo mechanical effects of TSV on surrounding silicon, Eurosime conference 2014.
17. Thijssse J., van Driel W.D., van Gils M.A.J., van der Sluis O., Interfacial Adhesion Method for Semiconductor Applications Covering the Full Mode Mixture, In: 7th Proc. of Eurosime Proceedings, avril 2006, Como Italie